



4-02-04

Application No. (if known): 10/768,971

Attorney Docket No.: 20046/0200815-US0

## Certificate of Express Mailing Under 37 CFR 1.10

I hereby certify that this correspondence is being deposited with the United States Postal Service as Express Mail, Airbill No. \_\_\_\_\_ in an envelope addressed to:

**EC983947148-US**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

on March 31, 2004  
Date

Signature

  
Typed or printed name of person signing Certificate

Note: Each paper must have its own certificate of mailing, or this certificate must identify each submitted paper.

Claim for Priority & Submission of Documents;  
Document DE 101 37 217.5; and  
Return Receipt Postcard.



Express Mail Label No.

Dated: \_\_\_\_\_

Docket No.: 20046/0200815-US0  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Franz Hofmann et al.

Application No.: 10/768,971

Confirmation No.:

Filed: January 30, 2004

Art Unit: N/A

For: A FIN FIELD-EFFECT TRANSISTOR AND  
METHOD FOR PRODUCING A FIN FIELD-  
EFFECT TRANSISTOR

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:


Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Germany	101 37 217.5	July 30, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 31, 2004

Respectfully submitted,

By  *Laura Brutman*  
(53, 970)

Laura C. Brutman

Registration No.: 38,395

DARBY & DARBY P.C.

P.O. Box 5257

New York, New York 10150-5257

(212) 527-7700

(212) 753-6237 (Fax)

Attorneys/Agents For Applicant

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 37 217.5

**Anmeldetag:** 30. Juli 2001

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Steg-Feldeffekttransistor und Verfahren zum  
Herstellen eines Steg-Feldeffekttransistors

**IPC:** H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der  
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. Februar 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Brosig

**Beschreibung****Steg-Feldeffekttransistor und Verfahren zum Herstellen eines  
Steg-Feldeffekttransistors**

5

Die Erfindung betrifft einen Steg-Feldeffekttransistor und ein Verfahren zum Herstellen eines Steg-Feldeffekttransistors.

10 Ein solcher Steg-Feldeffekttransistor und ein Verfahren zum Herstellen eines solchen Steg-Feldeffekttransistors sind aus [1] bekannt.

Der Steg-Feldeffekttransistor 200 aus [1] weist ein  
15 Siliziumsubstrat 201, und darauf eine Oxidschicht aus Siliziumoxid  $\text{SiO}_2$  202 auf (siehe Fig.2).

Auf einem Teil der Oxidschicht 202 ist ein Steg 203 aus Silizium vorgesehen. Über einem Teil des Stegs 203 und  
20 entlang der gesamten Höhe des Teils des Stegs ist ein Gate 204 des sich ergebenden Steg-Feldeffekttransistors 200 angeordnet.

Bei dem aus [1] bekannten Steg-Feldeffekttransistor 200 kann  
25 der in der Figur nicht sichtbare Kanalbereich des Stegs 203 mit Hilfe des sich entlang der Seitenwände 205 des Stegs 203 erstreckenden Gates 204 von Ladungsträgern invertiert werden. Der Steg 203, der auch als Mesa bezeichnet wird, hat an seinen Endabschnitten einen Source-Bereich 206 und einen  
30 Drain-Bereich 207.

Bei dem aus [1] bekannten Steg-Feldtransistor 200 existiert keine selbstjustierte Spacer-Technologie für die LDD-  
Implantation oder HDD-Implantation, um den Steg 203 in dem  
35 Source-Bereich 206 und in dem Drain-Bereich 207 erst nach dem Aufbringen des Gates mit Dotieratomen hoch zu dotieren und so eine Überlappung des Gates mit dem Source- oder Drain-Bereich

und ein damit wiederum einhergehendes nachteiliges  
Steuerverhalten des Transistors zu vermeiden.

Bei dem aus [1] bekannten Steg-Feldeffekttransistor 200 sind  
5 zum einen Oxid-Spacer 208 entlang der Seitenwände 205 des  
Stegs 203 gebildet, die ein Dotieren des Stegs 203 durch  
Implantation über die Seitenwände 205 verhindern. Beim  
Implantieren über die freien Stegflächen wird dann aber  
10 zusätzlich zu dem Source-Bereich 206 und dem Drain-Bereich  
207 der nicht mit Oxidspacern geschützte Kanalbereich mit  
Dotieratomen versehen. Bei dieser Unterdiffusion gelangen  
Dotieratome nach ihrer Implantation lateral in den  
Kanalbereich. Eine solche Unterdiffusion hat insbesondere bei  
kurzen Kanallängen - wie sie bei dem bekannten Steg-  
15 Feldeffekttransistor vorzufinden sind - beträchtliche  
negative Auswirkungen auf das Steuerverhalten des  
Feldeffekttransistors.

Weiterhin ist in [2] ein Steg-Feldeffekttransistor  
20 beschrieben, bei dem der Silizium-Steg in horizontaler  
Richtung von dem zu steuernden elektrischen Strom  
durchflossen wird. Bei dem Herstellungsverfahren gemäß [2]  
sind die hochdotierten Source-/Drain-Bereiche bereits  
vorhanden, wenn das Gateoxid aus Siliziumdioxid aufgewachsen  
25 wird.

Dies führt zu einem erheblichen Verlaufen des Dotierstoffes  
und insbesondere bei einem sehr kurzen Kanal zu unerwünschten  
Serienwiderständen.

30 Weiterhin ist in [3] ein MOS-Feldeffekttransistor  
beschrieben, bei dem der Drain-Bereich und der Source-Bereich  
aus Platin-Silizid gebildet sind.

35 Somit liegt der Erfindung das Problem zugrunde, einen Steg-  
Feldeffekttransistor anzugeben, bei dem eine Unterdiffusion  
im Kanalbereich unterhalb des Gates im Rahmen einer

Implantation mit Dotieratomen vermieden wird, bei dem ein Verlaufen von Dotieratomen vermieden wird und dadurch bedingte Serienwiderstände verhindert werden.

- 5 Weiterhin liegt der Erfindung das Problem zugrunde, ein Verfahren zur Herstellung eines solchen Steg-Feldeffekttransistors anzugeben.

10 Die Probleme werden durch den Steg-Feldeffekttransistor sowie durch das Verfahren zum Herstellen des Steg-Feldeffekttransistors mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

15 Unter einem Steg-Feldeffekttransistor ist im Rahmen der Erfindung allgemein ein Feldeffekttransistor zu verstehen, dessen Kanalbereich stegförmig ausgebildet und vertikal aufragend - auch freiliegend, oder über einer Isolatorschicht, beispielsweise einer Oxidschicht -  
20 ausgebildet ist. Der Steg-Feldeffekttransistor weist ein Gate auf, das sich teilweise über der vertikal aufragenden Struktur und entlang ihrer Seitenwände erstreckt.

25 Ein erfindungsgemäßer Steg-Feldeffekttransistor weist ein Substrat, einen Steg über dem Substrat, sowie einen Drain-Bereich und einen Source-Bereich außerhalb des Steges über dem Substrat auf. Der Steg enthält dabei nicht wie bei bekannten Steg-Feldeffekttransistoranordnungen den Source-Bereich und den Drain-Bereich. Der Steg dient nur als Kanal zwischen Source-Bereich und Drain-Bereich. Zwischen dem  
30 Drain-Bereich und dem Steg und zwischen dem Source-Bereich und dem Steg ist jeweils eine Diffusionsbarriere angeordnet.

Ein weiterer erfindungsgemäßer Steg-Feldeffekttransistor, welcher optional in gleicher Weise wie der zuvor beschriebene  
35 Steg-Feldeffekttransistor eine Diffusionsbarriere aufweist, weist auf

- ein Substrat,

- einen Steg über dem Substrat,
- einen Drain-Bereich und einen Source-Bereich außerhalb des Stegs über dem Substrat,
- wobei der Steg als Kanal zwischen Source-Bereich und Drain-Bereich dient.

Der Drain-Bereich und der Source-Bereich sind aus einem Material mit elektrisch metallischer Leitfähigkeit gebildet, wobei zwischen dem Drain-Bereich und dem Steg bzw. zwischen dem Source-Bereich und dem Steg eine Schottky-Barriere gebildet wird.

Das Material mit metallischer Leitfähigkeit kann Platin-Silizid, Platin-Germanium-Silizid oder Erbium-Silizid sein.

Vorzugsweise wird Platin-Silizid oder Platin-Germanium-Silizid als Material mit metallischer Leitfähigkeit in einem p-Kanal-MOS-Steg-Feldeffekttransistor eingesetzt und Erbium-Silizid als Material mit metallischer Leitfähigkeit in einem n-Kanal-MOS-Steg-Feldeffekttransistor.

Bei dem erfindungsgemäßen Verfahren zum Herstellen eines Steg-Feldeffekttransistors wird ein Steg über einem Substrat gebildet. Zumindest über einem Teil des Stegs wird eine Gateschicht gebildet. Die derart gebildete Anordnung, gegebenenfalls um Gate-Schutzschicht und Gate-Spacer nach einer der folgenden vorteilhaften Weiterbildungen der Erfindung erweitert, wird mit einer Isolationsschicht überzogen. Anschließend wird die Isolationsschicht im Bereich der Enden des Stegs dergestalt abgetragen, daß zumindest ein Teil der beiden Enden des Stegs freigelegt wird. Die von der Isolierschicht freigelegten Bereiche werden mit Material zur Bildung eines Source- und eines Drain-Bereichs zumindest teilweise gefüllt.

Durch die Erfindung wird erstmals ein Steg-Feldeffekttransistor angegeben, bei dem die Herstellung des



Kanalgebiets und die Herstellung der Source- und Drain-Bereiche voneinander entkoppelt erfolgt. Die zugehörigen Herstellungsverfahren können somit auch getrennt voneinander optimiert werden.

5

Dabei wird das Gate über dem Kanal hergestellt, bevor Source- und Draingebiete hergestellt sind. Damit wird eine selbstjustierende Anordnung geschaffen, bei der der Gatebereich nicht mit dem Source-Bereich oder dem Drain-Bereich überlappen und somit unerwünschte Koppelkapazitäten herbeiführen kann.

10

Bei der Erfindung wird darüber hinaus eine Verlaufen von Dotieratomen durch das nach der Herstellung des Gate erfolgte Erzeugen der hochdotierten Source- und Drainbereiche vermieden, wodurch keine unerwünschten Serienwiderstände gebildet werden.

15

Auch bleiben bei dem erfindungsgemäßen Steg-Feldeffekttransistor der Source-Bereich und der Drain-Bereich des Stegs vor einer Anschlusskontaktierung frei zugänglich, so dass eine exakte und einfache Dotierung des Source-Bereichs und des Drain-Bereichs möglich wird.

20

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

25

Die im Weiteren beschriebenen Ausgestaltungen beziehen sich sowohl auf den Steg-Feldeffekttransistor als auch auf die Verfahren zum Herstellen des Steg-Feldeffekttransistors.

30

Das Substrat kann Silizium aufweisen, und es kann alternativ auch auf dem Substrat eine weitere Schicht, beispielsweise aus Siliziumoxid vorgesehen sein, allgemein aus einem Oxid, auf dem der Steg sowie das Gate angeordnet sind.

35

Gemäß einer Ausgestaltung der Erfindung weist das Gate Polysilizium auf. Ferner kann das Gate auch durch einen Stapel von Polysilizium und Wolframsilizid gebildet werden.

- 5 Der Spacer kann Siliziumoxid und/oder Siliziumnitrid aufweisen.

Der Drain-Bereich und/oder der Source-Bereich kann Polysilizium aufweisen.

10

Der Source-Bereich kann an einem Ende des Stegs und der Drain-Bereich am anderen Ende des Stegs angeordnet sein.

15

In einer weiteren vorteilhaften Weiterbildung der Erfindung wirkt der Source-Bereich an einer Stirnseite des Stegs mit dem Steg zusammen, und der Drain-Bereich an der anderen Stirnseite des Stegs mit dem Steg, wobei die Stirnseiten den Steg in seiner Längsausdehnung abschließen.

20

Der Source-Bereich kann aber auch zusätzlich mit einem nicht von einem Gate überdeckten Teil einer Breitseite des Stegs mit dem Steg zusammenwirken, und der Drain-Bereich mit einem weiteren, nicht von dem Gate überdeckten Teil einer

25

Breitseite des Stegs mit dem Steg, wobei die Breitseiten die Stirnseiten des Stegs miteinander verbinden. Somit wird die Fläche der wirksamen Anbindung von Source und Drain an den Kanal erhöht. Dabei können Source- und Drain-Gebiet direkt an den Steg anschließen.

30

In einer weiteren vorteilhaften Weiterbildung der Erfindung wirkt der Source-Bereich ausschließlich an der einen Stirnseite des Stegs mit dem Steg zusammen, der Drain-Bereich ausschließlich an der anderen Stirnseite des Stegs mit dem Steg.

35

Diese Ausgestaltung ist insbesondere dann vorteilhaft, wenn zwischen Drain-Bereich und Steg und zwischen Source-Bereich

und Steg je eine Diffusionsbarriere angeordnet werden soll, die ein Eindiffundieren des Dotierstoffes für Source und Drain verhindern soll.

- 5 Ein Gate und ein Spacer kann zumindest über einem Teil des Stegs angeordnet sein, und sich dabei im wesentlichen entlang der gesamten Höhe des Teils des Stegs erstrecken. Dabei kann die Gateschicht zwischen Spacern angeordnet sein. Die Gateschicht kann auch von einer Schutzschicht bedeckt sein.
- 10 Ist darüber hinaus auch zur Unterseite der Gateschicht zwischen Steg und Gateschicht eine Oxidschicht und/oder eine Nitridschicht vorgesehen, so ist das Gate gekapselt. Die Kapselbestandteile weisen vorzugsweise Siliziumoxid oder Siliziumnitrid auf. Dabei können schichtweise auch beide
- 15 Materialien verwendet werden, sodass das eine Material selektiv zu dem anderen ätzbar ist und somit vereinfachte Herstellungsverfahren möglich sind. Es ist in diesem Zusammenhang anzumerken, dass diese beschriebene Kapselung auch vorteilhaft bei einem Steg-Feldeffekttransistor
- 20 vorgesehen sein kann, bei dem die Diffusionsbarrieren nicht vorgesehen sind.

Das Gate und/oder die Spacer können sich im wesentlichen entlang der gesamten Höhe des Teils des Stegs erstrecken.

25 Weiterhin kann die Höhe des Spacers bezüglich des Substrats im wesentlichen gleich der Höhe des Gates sein.

- Durch diese Ausgestaltung wird eine Unterdiffusion bei der
- 30 Implantierung des Source-Bereichs und des Drain-Bereichs des Steg-Feldeffekttransistors praktisch vollständig vermieden.

- Das Gate inklusive der randseitigen Spacer kann sich entlang der gesamten Länge des Steges erstrecken, wobei die Spacer
- 35 bündig mit den Stirnseiten des Steges abschließen, d.h. die Außenseiten dieser randseitigen Spacer mit den Stirnseiten des Stegs in einer Ebene liegen. Bei dieser vorteilhaften

Weiterbildung sind dann nur die Stirnseiten des Stegs einer Kopplung mit den nachträglich eingebrachten Source- und Drain-Bereichen frei zugänglich, wobei hier auf besonders einfache Weise die dielektrischen Barrieren mit ihren zuvor  
5 beschriebenen Vorteilen vorgesehen werden können.

Die nachträglich abgeschiedenen Drain- und Source-Bereiche können eine geringere Höhe über der Substratoberfläche aufweisen als der Isolierbereich. Damit ist ein vollständiges  
10 Auffüllen der freigelegten Bereiche in der Isolierschicht nicht erforderlich, wodurch die gesamte Anordnung in ihrer Bauhöhe gering gehalten werden kann.

Zur Bildung des Stegs des Steg-Feldeffekttransistors kann auf  
15 einer Siliziumschicht eines Trägers von zwei eine Grundoxidschicht einschließenden Siliziumschichten eine einen Steg kennzeichnende Maske aufgebracht werden. Das Siliziummaterial dieser Schicht wird dergestalt abgetragen, daß ein Siliziumkörper in Form des Steges auf der  
20 Isolationsschicht gebildet wird. Die Hartmaske kann dabei Siliziumoxid und/oder Siliziumnitrid enthalten.

Das Gate kann durch das zeitlich aufeinanderfolgende Aufbringen einer Gateschicht, das Aufbringen einer  
25 Schutzschicht auf die Gateschicht, das Aufbringen einer Maske für die weitere Strukturierung des Gates, und das Entfernen von überschüssigem Material der Gate- und Schutzschicht gebildet werden, dergestalt, dass ein über den Steg gelegter streifenförmiger Stack aus Gateschicht und Schutzschicht  
30 gebildet wird.

Spacer (Abstandshalter) können in folgenden Schritten gebildet werden: Überziehen der Anordnung mit einer Spacerschicht, und Entfernen der Spacerschicht dergestalt,  
35 dass durch die weitere Spacerschicht zumindest an den bis vor dem Überziehen mit der Spacerschicht noch freiliegenden

Seiten des Gates Spacer gebildet werden. Die Spacerschicht und/oder die Schutzschicht können Siliziumnitrid enthalten.

5 Wird eine Diffusionsbarriere vorgesehen, so erfolgt dies - vorzugsweise an jeder freiliegenden Stirnseite des Stegs - nach dem Aufbringen der Isolationsschicht und der zumindest teilweisen Freilegung der Enden des Stegs.

10 Source- und Drain-Bereich werden dadurch angelegt, dass die bisherige Anordnung aus Steg, Gate und ggf. Spacern und Schutzschicht mit einer Isolationsschicht überzogen wird, die dann im Bereich der Enden des Stegs nach einem die freizulegenden Bereiche kennzeichnenden Maskierungsvorgang wiederum abgetragen wird.

15 Diese freigelegten Bereiche werden dann mit einem Material gefüllt, das bereits dotiert ist oder nach dem Abscheiden dotiert wird.

20 Zumindest ein Teil der Elemente des Steg-Feldeffekttransistors kann mittels Abscheiden gebildet werden.

25 Somit kann gemäß dieser Weiterbildung übliche Halbleiter-Prozesstechnik eingesetzt werden, wodurch eine einfache und kostengünstige Realisierung der Herstellungsverfahren ermöglicht ist.

30 Zum Anordnen von Schichten oder Materialien im vorgeschlagenen Herstellungsprozess können neben CVD-Verfahren aber auch Sputter-, oder Aufdampfverfahren verwendet werden.

35 Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im weiteren näher erläutert.

Es zeigen:

Figur 1 ein Ausführungsbeispiel eines erfindungsgemäßen Steg-Feldeffekttransistors im Längsschnitt;

5    Figur 2 einen Steg-Feldeffekttransistor in Schrägansicht gemäß dem Stand der Technik;

Figuren 3a bis 3f Schnittansichten eines Steg-Feldeffekttransistors, in denen die einzelnen  
10    Verfahrensschritte des Herstellungsverfahrens des Steg-Feldeffekttransistors aus Figur 1 dargestellt sind; die Figuren 3(a), 3(b), 3(d) und 3(f) zeigen darüber hinaus die zum Querschnitt zugehörige Draufsicht auf den Steg-Feldeffekttransistor im  
15    jeweiligen Verfahrensschritt;

Figur 4 eine Draufsicht auf die Geometrie von bei der Herstellung des Steg-Feldeffekttransistors nach den Figuren 1 und 3 verwendeten Masken;

20

Figur 5 ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Steg-Feldeffekttransistors im Längsschnitt.

25    **Fig.1** zeigt einen Steg-Feldeffekttransistor 100 gemäß einem Ausführungsbeispiel der Erfindung im Längsschnitt. Der Schnitt ist dabei längs durch den Steg des Steg-Feldeffekttransistors geführt, etwa entlang der aus **Fig.2** ersichtlichen Schnittlinie A - A' in Stegmitte, wobei **Fig.2**  
30    in diesem Zusammenhang lediglich zur Erläuterung der Lage der Schnittlinie bezüglich des Steges herangezogen wird.

Im übrigen ist aber der Längsschnitt nach **Fig.1** ein Längsschnitt durch einen erfindungsgemäßen Steg-Feldeffekttransistor, der Steg-Feldeffekttransistor nach  
35    **Fig.2** aber ein bekannter Steg-Feldeffekttransistor, dessen

Längsschnitt sich von dem Längsschnitt nach **Fig.1** deutlich unterscheidet.

Der Steg-Feldeffekttransistor 100 weist ein Substrat 101 auf,  
5 auf dem eine Oxidschicht 102 aus Siliziumoxid  $\text{SiO}_2$  einer Schichtdicke von ungefähr 200 nm angeordnet ist (vgl. **Fig.1**).

Auf der Oxidschicht 102 ist ein Steg 103 aus Silizium  
ausgebildet. Über einem Teilbereich des Stegs 103 sind Spacer  
10 108 - vorzugsweise aus Siliziumnitrid  $\text{Si}_3\text{N}_4$  - und ein Gate 104 aus Polysilizium zwischen den Spacern 108 angeordnet. Die Gateschicht kann auch  $\text{p}^+$ -dotiertes  $\text{SiGe}$  aufweisen.

Zwischen dem Gate 104 und den Spacern 108 einerseits und dem  
15 Steg 103 andererseits liegen übereinander angeordnet eine Nitridschicht 114 - vorzugsweise aus Siliziumnitrid  $\text{Si}_3\text{N}_4$  - und eine Oxidschicht 113 - vorzugsweise aus Siliziumoxid  $\text{SiO}_2$ . Die Nitridschicht 114 wird verwendet um zu gewährleisten, dass die Gate-Oxidation nur an den  
20 Seitenwänden des Gates erfolgt. Die Oxidschicht 113 dient als Hartmaske.

Über dem Gate 104 ist eine Schutzschicht 107 aus  
Siliziumnitrid  $\text{Si}_3\text{N}_4$  zum Schutz des Gates 104 aufgebracht.

Diese Gateanordnung 104, 107, 108 erstreckt sich im übrigen -  
was im Längsschnitt gemäß **Fig.1** nicht erkennbar ist - entlang  
ihrer Breite am Steg 103 auch in vertikaler Richtung entlang  
der Breitseiten des Stegs 103 und in dem entsprechenden,  
30 linear fortgesetzten Bereich auf der Oxidschicht 102 über dem Substrat 101 in die Zeichenebene hinein und aus der Zeichenebene heraus.

Zu den Enden des Stegs 103 und dabei an Stirnseiten 105 des  
35 Stegs 103 anliegend sind ein Source-Bereich 109 und ein

Drain-Bereich 110 des Steg-Feldeffekttransistors 100 angeordnet.

5 Source-Bereich 109, Drain-Bereich 110, Steg 103 und Gate-Anordnung 104, 107, 108 sind dabei in einer Aussparung einer Isolationsschicht 115 angeordnet.

10 Isolierschicht 115, Gate-Anordnung 104, 107, 108 und teilweise auch Source-Bereich 109 und Drain-Bereich 110, sind von einer weiteren Schutzschicht 111 überzogen.

15 Kontakte 112 aus Metall, vorzugsweise Aluminium, dienen der elektrischen Kontaktierung von Source-Bereich 109 und Drain-Bereich 110.

Somit sind Source-Bereich 109 und Drain-Bereich 110 abhängig von der Steuerung mittels des Gates 104 über den als Steg 103 als Kanalbereich miteinander leitend gekoppelt.

20 Im weiteren werden für gleiche Elemente in unterschiedlichen Zeichnungen die gleichen Bezugszeichen verwendet.

Anhand der **Fig.3a** bis **Fig.3f** werden im Weiteren die einzelnen Verfahrensschritte zum Herstellen des Steg-Feldeffekttransistors 100 gemäß dem ersten Ausführungsbeispiel im Längsschnitt erläutert.

25 Zur besseren Darstellung ist dabei bei einigen Verfahrensschritten kennzeichnenden Schnittbildern auch die zugehörige Draufsicht auf den in Herstellung befindlichen Steg-Feldeffekttransistor angegeben.

30 Der Steg-Feldeffekttransistor 100 wird als SOI-Struktur (SOI: Silicon on Isolator) aufgebaut. Dabei wird die Struktur auf der Isolationsschicht eines Wafers aufgebaut.



Ausgegangen wird von einem SOI-Wafer, d.h. anschaulich von einem Silizium-Substrat 101, in dem sich sandwichartig zwischengelegt eine Grundoxidschicht 102 aus Siliziumoxid  $\text{SiO}_2$  befindet – auch buried oxid genannt (vgl. **Fig.3a**). In

5 **Fig.3a** ist auf der Grundoxidschicht 102 bereits nur noch ein Steg 103 übrig, der aus der ursprünglich vorhandenen Siliziumschicht strukturiert wurde.

Zum Herstellen des Stegs 103 wird auf die Siliziumschicht

10 eine Hartmaske aus einer Nitridschicht aus Siliziumnitrid  $\text{Si}_3\text{N}_4$  und aus einer darüberliegenden Oxidschicht aus Siliziumoxid  $\text{SiO}_2$  aufgebracht. Diese Maske dient der Herstellung des Stegs 103.

15 Aus **Fig.4** ist die geometrische Ausbildung dieser Maske M1 in Draufsicht ersichtlich. Im folgenden wird das überschüssige Material um die Hartmaske herum abgetragen, vorzugsweise durch Reaktives Ionenätzen nach erfolgter

Elektronenstrahlolithographie, sodass die Struktur des Steges

20 103 auf der Grundoxidschicht erhalten bleibt (siehe **Fig.3a**).

So kann auf die gebildete Siliziumschicht Photolack aufgetragen und das Silizium, das nicht mit Photolack bedeckt ist, mittels eines Trockenätzverfahrens geätzt werden. Das

25 Ätzverfahren wird gestoppt, sobald die Oberfläche der Grundoxidschicht 102 erreicht ist.

Die Draufsicht in **Fig.3a** zeigt den Steg 103 auf der Grundoxidschicht 103, der in Draufsicht die Form der Maske M1

30 aus **Fig.4** entspricht.

Im Folgenden kann optional eine Einstellung der Einsatzspannung des Steg-Feldeffekttransistors 100 durch

Implantation von Dotieratomen, z.B. Bor-Atomen, in den Steg

35 103 erfolgen. Bei einem vollständig verarmten Transistor kann diese Kanalimplantation im Rahmen des Verfahrens auch weggelassen werden.

In weiteren Schritten werden das Gate durch Gateoxidation und eine Schutzschicht gebildet: Dazu werden auf die Anordnung nach **Fig.3a** nacheinander eine Gateschicht aus Polysilizium und eine Schutzschicht aus Siliziumnitrid  $\text{Si}_3\text{N}_4$  mittels eines CVD-Verfahrens abgeschieden. Während des Abscheidens des Polysiliziums wird die sich ergebende Polysiliziumschicht mit Phosphor-Atomen oder Bor-Atomen dotiert (in-situ-dotierte Abscheidung).

Anschließend wird eine Maske auf die Schutzschicht aufgetragen zum Herausbilden einer streifenförmigen Stack-Struktur aus Gate und Schutzschicht. Die geometrische Form der Maske in Draufsicht zeigt die Maske M2 aus **Fig.4**. Mit einem geeigneten Strukturierungsverfahren wird nach dem Aufbringen der Maske M2 überschüssiges Material entfernt.

Beispielsweise wird Photolack auf der Siliziumnitrid-Schutzschicht 107 aufgetragen dergestalt, dass durch den Photolack der Bereich in weiteren Ätzschritten nicht geätzt wird, der später als Gate 104 verwendet werden soll. In einem anschließenden Schritt wird dann die Siliziumnitrid-Schutzschicht 107 wie auch die das Gate bildende Polysiliziumschicht 106, die nicht mit Photolack bedeckt ist, mittels eines Trockenätzverfahrens geätzt.

Das Ätzverfahren wird über dem Steg 103 an der Oxidschicht 113 und überhalb des Substrats 101 an der Oberfläche der Grundoxidschicht 102 beendet, so dass Oxid nicht geätzt wird.

Anschließend wird der Photolack von der Siliziumnitrid-Schutzschicht 107 entfernt.

Nach diesen Verfahrensschritten ist ein streifenförmiger Stack aus Gate 104 und Schutzschicht 107 über dem Steg 103 und einem Teil des Substrats 101 nach **Fig.3b** angeordnet.

In der Draufsicht nach **Fig.3b** ist der Schutzschichtstreifen 107 dargestellt, unter dem sich der Gatestreifen 104 befindet. Die Streifenanordnung ist zum Teil über den Steg 103 geführt.

- 5 An einem Ende des Streifens ist dieser verbreitert ausgebildet, um eine geeignete Fläche zum späteren Anbringen eines Gate-Kontaktlochs zu schaffen. Der streifenförmige Stack in Draufsicht entspricht dabei wieder in etwa der geometrischen Form der Maske M2 aus **Fig.4**.

10

In einem weiteren Schritt werden Spacer beidseitig zu den freiliegenden Rändern des Gates gebildet.

15

Dazu wird die Anordnung nach **Fig.3b** mit einer Spacerschicht 108 überzogen (siehe **Fig.3c**).

Das Überziehen erfolgt mittels einer konformen CVD-Abscheidung.

20

Die Spacerschicht 108 enthält dabei Siliziumnitrid  $\text{Si}_3\text{N}_4$ .

25

Durch anisotrope Rückätzung der Siliziumnitrid-Spacerschicht 108 mit starker Überätzung entstehen die randseitig des Gates 104 liegenden Spacer 108. Spacer am Kanal-Steg 103 werden durch die Überätzung entfernt. Durch Variation der Breite der Spacer 108 kann bestimmt werden, in welchem Maße die später erstellten Source- und Drain-Gebiete 109, 110 mit dem Kanal zusammenwirken.

30

**Fig.3d** zeigt die Anordnung nach diesen Herstellungsschritten. Das Gate 104 ist dabei gekapselt in eine Struktur aus Spacern 108, Schutzschicht 107. **Fig.3d** zeigt darüber hinaus wieder die Draufsicht auf die Anordnung nach vorgenannten Herstellungsschritten. Der Begriff „gekapselt“ ist in diesem Zusammenhang derart zu verstehen, dass das Gate 104 an dessen Seitenflächen von den Spacern 108 vollständig bedeckt ist und an der oberen Oberfläche des Gates 104 von der Schutzschicht

35

107, so dass keine Flächenbereiche des Gates 104 mehr freiliegen.

Im folgenden wird eine Isolationsschicht 115 aus Siliziumoxid  
5  $\text{SiO}_2$  auf die Anordnung nach **Fig.3d** mittels eines CVD-Verfahrens abgeschieden.

Anschließend wird ein Teil der Siliziumoxid-Isolationsschicht 115 mittels eines chemisch-mechanischen Polierverfahrens  
10 wieder entfernt so lange, bis die Siliziumnitrid-Schutzschicht 107 erreicht ist. Ist die Siliziumnitrid-Schutzschicht 107 erreicht, wird das CMP-Verfahren gestoppt.

Die Anordnung nach diesem Herstellungsschritt ist in **Fig.3e**  
15 im Längsschnitt gezeigt.

Im folgenden wird auf der Isolationsschicht 115 eine Maske angeordnet, z.B. in Form von Photolack. Die geometrische Form dieser Maske gibt die Maske M3 aus **Fig.4** in Draufsicht  
20 wieder.

Anschließend wird mittels eines Trockenätzverfahrens Siliziumoxid aus der Isolationsschicht 115 bis zu der  
Oberfläche der Grundoxidschicht 102 geätzt. Das Trockenätzen  
25 ist selektiv zu Siliziumnitrid, sodass im Bereich des Stegs 103 der Ätzprozess an der Nitridschicht 114 stoppt und im Bereich der Gate-Anordnung die nitridhaltigen Spacer 108 und Schutzschicht 107 nicht weggeätzt werden.

30 Gemäß **Fig.3f** sind nach diesem Herstellungsschritt die Enden des Stegs 103 frei zugänglich. Dies ist erforderlich, um den als Kanal dienenden Steg 103 an einen Source- und einen Drain-Bereich anzubinden.

35 Die durch den vorangegangenen Ätzvorgang freigelegten Zugänge / Löcher zu den Stegenden werden mit geeignetem Material,

vorzugsweise Polysilizium, zur Bildung eines Source-Bereichs und eines Drain-Bereichs zumindest teilweise aufgefüllt.

Während des Auffüllens der Zugänge mit Polysilizium wird die sich ergebende Polysiliziumschicht mit geeigneten Dotier-Atomen dotiert (in-situ-dotierte Auffüllung). Das Polysilizium kann auch durch selektive Epitaxie oder durch CVD-Abscheidung mit anschließendem CMP-Verfahren und/oder geeignete Rückätzung aufgebracht werden.

Alternativ zur in-situ-Dotierung kann die Dotierung des Source-Bereichs und des Drainbereichs auch durch nachträgliche  $n^+$ -Implantation erfolgen.

Jedenfalls erfolgt das Erzeugen des Source- und des Drain-Bereichs 109, 110 nach dem Aufbau des Gates 104 über dem Steg 103, sodass ein in seinem Aufbau selbstjustierter Feldeffekttransistor geschaffen wird, bei dem sich Gate- mit Source- oder Drainbereich nicht überlappen und nachteilig gegenseitig beeinflussen.

Auch eine ungewollte Implantation von Atomen in den Kanalbereich wird mit diesem Herstellungsverfahren vermieden.

**Fig.3f** zeigt eine Anordnung nach Durchführung dieser Herstellungsschritte im Längsschnitt und in Draufsicht.

In abschließenden Standard-Halbleiter-Prozessschritten erfolgt eine Silizidierung zum Erzeugen einer Silizidschicht auf Source- und Drainbereich 109, 110 zum Verringern des Übergangswiderstandes zu noch anzubringenden Kontakten für Source, Gate und Drain. Als eigentliches Kontaktmaterial dient Wolfram. Als Haftschrift und Diffusionsbarriere dafür dient dabei eine Doppelschicht aus Titan und Titan-Nitrid, die auf den Source-Bereich 109 und den Drain-Bereich 110 aufgesputtert wird. Erst dann werden Gate, Source und Drain kontaktiert.

Die Kontaktlöcher werden wiederum mit Hilfe von Ätzprozessen gewonnen. Zunächst wird dazu auf die bestehende Anordnung eine weitere Schutzschicht 111 im CVD-Verfahren abgeschieden.

5 Im folgenden wird auf der weiteren Schutzschicht 111 eine Maske aufgebracht, z.B. in Form von Photolack. Die geometrische Form dieser Maske zeigt die Maske M4 in Figur 4 in Draufsicht. Die Maske M4 kennzeichnet dabei die für die Kontaktierung von Gate, Source und Drain vorgesehenen  
10 Bereiche.

Anschließend werden mittels eines Trockenätzverfahrens Bereiche aus der weiteren Schutzschicht 111 geätzt, so daß ein freier direkter oder über die Silizidschicht mittelbarer  
15 Zugang zu den Source-, Drain-, und Gate-Bereichen geschaffen wird. Diese Zugänge werden dann mit metallhaltigem Material zum Bilden von Kontakten 111, 112 aufgefüllt.

Einen erfindungsgemäßen Steg-Feldeffekttransistor nach  
20 Durchführung dieser Herstellungsschritte zeigt **Fig.1**.

**Fig.5** zeigt ein zweites Ausführungsbeispiel eines erfindungsgemäßen Steg-Feldeffekttransistors im Längsschnitt.

25 Dieser Steg-Feldeffekttransistor unterscheidet sich von dem Steg-Feldeffekttransistor gemäß den **Fig.1** und **Fig.3** darin, daß die Breite des Gates 104 zuzüglich der Spacer 108 der Länge des Stegs 103 entspricht.

30 Dies führt zunächst dazu, daß der Source-Bereich 109 und der Drain-Bereich 110 nur an den Stirnseiten 105 des Stegs 106 mit diesem zusammenwirken können. Die Außenseiten der Spacer 108 liegen in einer Ebene mit den Stirnseiten 105 des Stegs 103. Bei dem Ausführungsbeispiel nach den **Fig.1** und **Fig.3**  
35 dagegen können der Source-Bereich 109 und der Drain-Bereich 110 auch mit Endbereichen von Breitseiten des Stegs 103 zusammenwirken, wobei die Breitseiten des Stegs 103 aus dem

Grundoxid 102 aufragen und die Stirnseiten 105 des Stegs 103 miteinander verbinden.

In den Ausführungsbeispielen kann das Zusammenwirken von Source- und Drain-Bereich 109, 110 mit dem als Kanal dienenden Steg 103 dadurch gewährleistet sein, daß Source- und Drain-Bereich 109, 110 an den dafür vorgesehenen Seiten am Steg 103 anliegen.

Bei dem Ausführungsbeispiel nach **Fig.5** sind aber erfindungsgemäß zwischen den Stirnseiten 105 des Stegs 103 und dem Source-Bereich 109 und dem Drain-Bereich 110 Diffusionsbarrieren 106 errichtet, die ein Diffundieren von Dotieratomen aus Source und Drain in den Kanalbereich verhindern sollen.

In vorteilhafter Weise werden diese Diffusionsbarrieren erzeugt, nachdem die Gate-Anordnung 104, 107, 108 erzeugt wurde, und die Enden des Stegs 103 nach dem Abscheiden der Schutzschicht 115 wieder freigelegt wurden, sowie bevor diese freigelegten Bereiche wieder mit Material zur Bildung von Source und Drain aufgefüllt werden. Die Diffusionsbarrieren werden dabei durch thermische Oxidation erzeugt.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] D.Hisamoto et al, A Fully Depleted Lean-Channel  
Transistor (DELTA) - A novel vertical ultrathin SOI  
5 MOSFET, IEEE Electron Device Letters, Volume 11, No. 1,  
S. 36 - 38, 1990
- [2] D.Hisamoto et al, A folded-channel MOSFET for deep-sub-  
tenth micron era, IEDM 98, S. 1032 - 1034, 1998
- 10 [3] J. Kedzierski et al, Complementary silicide source/drain  
thin-body MOSFETs for the 20 nm gate length regime, IEDM  
2000, S. 57 - 60



**Patentansprüche**

1. Steg-Feldeffekttransistor, mit
    - einem Substrat,
  - 5     • einem Steg über dem Substrat,
  - einem Drain-Bereich und einem Source-Bereich außerhalb des Stegs über dem Substrat,
  - dem Steg als Kanal zwischen Source-Bereich und Drain-Bereich, und
  - 10    • bei dem zwischen dem Drain-Bereich und dem Steg und zwischen dem Source-Bereich und dem Steg je eine Diffusionsbarriere angeordnet ist.
2. Steg-Feldeffekttransistor nach Anspruch 1,
- 15    bei dem Drain-Bereich und/oder Source-Bereich Polysilizium aufweisen.
3. Steg-Feldeffekttransistor insbesondere nach Anspruch 1 oder 2,
- 20    • mit einem Substrat,
- mit einem Steg über dem Substrat,
- mit einem Drain-Bereich und einem Source-Bereich außerhalb des Stegs über dem Substrat,
- mit dem Steg als Kanal zwischen Source-Bereich und Drain-Bereich,
- wobei der Drain-Bereich und einem Source-Bereich aus einem Material mit elektrisch metallischer Leitfähigkeit gebildet werden, und
- wobei zwischen dem Drain-Bereich und dem Steg bzw.
- 30    zwischen dem Source-Bereich und dem Steg eine Schottky-Barriere gebildet wird.
4. Steg-Feldeffekttransistor nach Anspruch 3,
- bei dem das Material mit metallischer Leitfähigkeit
- 35    • Platin-Silizid, oder
- Platin-Germanium-Silizid, oder
- Erbium-Silizid ist.

5. Steg-Feldeffekttransistor nach einem der Ansprüche 1 bis 4,  
bei dem das Substrat Siliziumoxid aufweist.

5

6. Steg-Feldeffekttransistor nach einem der Ansprüche 1 bis 5,  
bei dem der Steg Silizium aufweist.

10 7. Steg-Feldeffekttransistor nach einem der Ansprüche 1 bis 6,

bei dem der Source-Bereich an einem Ende des Stegs und der Drain-Bereich am anderen Ende des Stegs angeordnet sind.

15 8. Steg-Feldeffekttransistor nach Anspruch 7,

- mit zwei den Steg in seiner Längsausdehnung abschließenden Stirnseiten,
- bei dem der Source-Bereich an der einen Stirnseite des Stegs mit dem Kanal zusammenwirkt, und
- 20 • bei dem der Drain-Bereich an der anderen Stirnseite des Stegs mit dem Steg zusammenwirkt.

9. Steg-Feldeffekttransistor nach Anspruch 8,

- mit zwei die Stirnseiten verbindenden Breitseiten des Steges,
- bei dem der Source-Bereich mit einem nicht von einem Gate überdeckten Teil der Breitseiten des Stegs mit dem Steg zusammenwirkt, und
- bei dem der Drain-Bereich mit einem weiteren, nicht von dem Gate überdeckten Teil der Breitseiten des Stegs mit dem Steg zusammenwirkt.

30

10. Steg-Feldeffekttransistor nach Anspruch 8,

- bei dem der Source-Bereich ausschließlich an der einen Stirnseite des Stegs mit dem Steg zusammenwirkt,
- 35 • bei dem der Drain-Bereich ausschließlich an der anderen Stirnseite des Stegs mit dem Steg zusammenwirkt.

11. Steg-Feldeffekttransistor nach einem der vorhergehenden Ansprüche,  
mit einem Gate und einem Spacer zumindest über einem Teil des  
5 Stegs.

12. Steg-Feldeffekttransistor nach Anspruch 11,  
bei dem sich das Gate und/oder der Spacer im wesentlichen  
entlang der gesamten Höhe des Teils des Stegs erstreckt.

10

13. Steg-Feldeffekttransistor nach einem der Ansprüche 11  
oder 12,

- bei dem das Gate zwischen zwei Spacern angeordnet ist, und
- mit einer Schutzschicht über dem Gate.

15

14. Steg-Feldeffekttransistor nach einem der Ansprüche 11  
bis 13,

bei dem der/die Spacer und/oder der/die Schutzschicht  
Siliziumoxid oder Siliziumnitrid aufweist/aufweisen.

20

15. Steg-Feldeffekttransistor nach einem der Ansprüche 11  
bis 14,

bei dem sich das Gate zuzüglich der Spacer entlang der  
gesamten Länge des Steges erstreckt und die Außenseiten der  
25 Spacer in einer Ebene mit den Stirnseiten des Steges liegen.

16. Steg-Feldeffekttransistor nach einem der vorhergehenden  
Ansprüche,

- bei dem eine den Source-Bereich und den Drain-Bereich  
30 zumindest teilweise begrenzende Isolierschicht vorgesehen  
ist, und
- bei dem Drain- und Source-Bereich eine geringere Höhe über  
der Substratoberfläche aufweisen als der Isolierbereich.

35

17. Verfahren zum Herstellen eines Steg-  
Feldeffekttransistors,

- bei dem ein Steg über einem Substrat gebildet wird,

- bei dem zumindest über einem Teil des Stegs eine Gateschicht gebildet wird,
- bei dem nach dem Bilden der Gateschicht eine Isolationsschicht aufgetragen wird,
- 5 • bei dem die Isolationsschicht zu den Enden des Stegs dergestalt abgetragen wird, daß zumindest ein Teil der Enden des Stegs freigelegt wird, und
- bei dem die von der Isolierschicht freigelegten Bereiche mit Material zur Bildung eines Source- und eines Drain-
- 10 Bereichs zumindest teilweise gefüllt werden.

18. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach Anspruch 17,  
bei dem der Steg in folgenden Schritten über dem Substrat  
15 gebildet wird:
- auf einer Siliziumschicht von zwei eine Grundoxidschicht einschließenden Siliziumschichten wird Maske zum Strukturieren eines Stegs aufgebracht,
  - Siliziummaterial dieser Schicht wird dergestalt  
20 abgetragen, so daß ein Siliziumkörper in Form des Stegs auf der Grundoxidschicht gebildet wird.

19. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach Anspruch 18,  
25 bei dem die Maske Siliziumoxid und/oder Siliziumnitrid enthält.

20. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach einem der Ansprüche 17 bis 19,  
30 bei dem das Gate in folgenden Schritten über dem Steg gebildet wird:
- Aufbringen einer Gateschicht,
  - Aufbringen einer Schutzschicht auf die Gateschicht,
  - Aufbringen einer Maske für die weitere Strukturierung des  
35 Gates, und
  - Entfernung von überschüssigem Material der Gate- und Schutzschicht dergestalt, daß ein über den Steg gelegter

streifenförmiger Stack aus Gateschicht und Schutzschicht gebildet wird.

21. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach Anspruch 20,

bei dem Spacer in folgenden Schritten gebildet werden:

- Überziehen der Anordnung mit einer Spacerschicht, und
- Entfernen der Spacerschicht dergestalt, daß durch die Spacerschicht zumindest an den bis vor dem Überziehen mit der Spacerschicht noch freiliegenden Seiten des Gates Spacer gebildet werden.

22. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach Anspruch 21,

- bei dem die Außenseiten der seitlich des Gates angeordneten Spacer in einer Ebene mit den Stirnseiten des Stegs liegen, und
- bei dem vor dem Aufbringen der Isolationsschicht eine Diffusionsbarriere an jeder freiliegenden Stirnseite des Stegs angeordnet wird.

23. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach einem der Ansprüche 20 bis 22,

bei dem die Spacerschicht und/oder die Schutzschicht Siliziumnitrid enthalten.

24. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach einem der Ansprüche 17 bis 23,

bei dem die Isolationsschicht im Bereich der Enden des Stegs nach einem die freizulegenden Bereiche kennzeichnenden Maskierungsvorgang abgetragen wird.

25. Verfahren zum Herstellen eines Steg-Feldeffekttransistors nach einem der Ansprüche 17 bis 24,

bei dem das zur Bildung des Source- und/oder des Drain-Bereichs abgeschiedene Material bereits dotiert ist oder nach dem Abscheiden dotiert wird.


**Zusammenfassung**

**Steg-Feldeffekttransistor und Verfahren zur Herstellung eines  
Steg-Feldeffekttransistors**

5

Der Steg-Feldeffekttransistor weist ein Substrat, einen Steg  
über dem Substrat, sowie einen Drain-Bereich und einen  
Source-Bereich außerhalb des Steges über dem Substrat auf.  
Der Steg dient als Kanal zwischen Source-Bereich und Drain-  
Bereich. Source- und Drain-Bereich werden erst nach dem  
Erzeugen des Gates gebildet.

10



Sign. Fig. 1

**Bezugszeichenliste**

A-A'    Schnittlinie

100    Steg-Feldeffekttransistor  
101    Substrat  
102    Grundoxidschicht  
103    Steg  
104    Gate  
105    Stirnseite Steg  
106    Diffusionsbarriere  
107    Schutzschicht  
108    Spacer/-schicht  
109    Source-Bereich  
110    Drain-Bereich  
111    Weitere Schutzschicht  
112    Kontakt  
113    Oxidschicht  
114    Nitridschicht  
115    Isolationsschicht

200    Steg-Feldeffekttransistor  
201    Siliziumsubstrat  
202    Feldoxidschicht  
203    Steg  
204    Gate  
205    Seitenwände Steg  
206    Source-Bereich  
207    Drain-Bereich  
208    Oxid-Spacer

M1 - M4    Masken

FIG 1

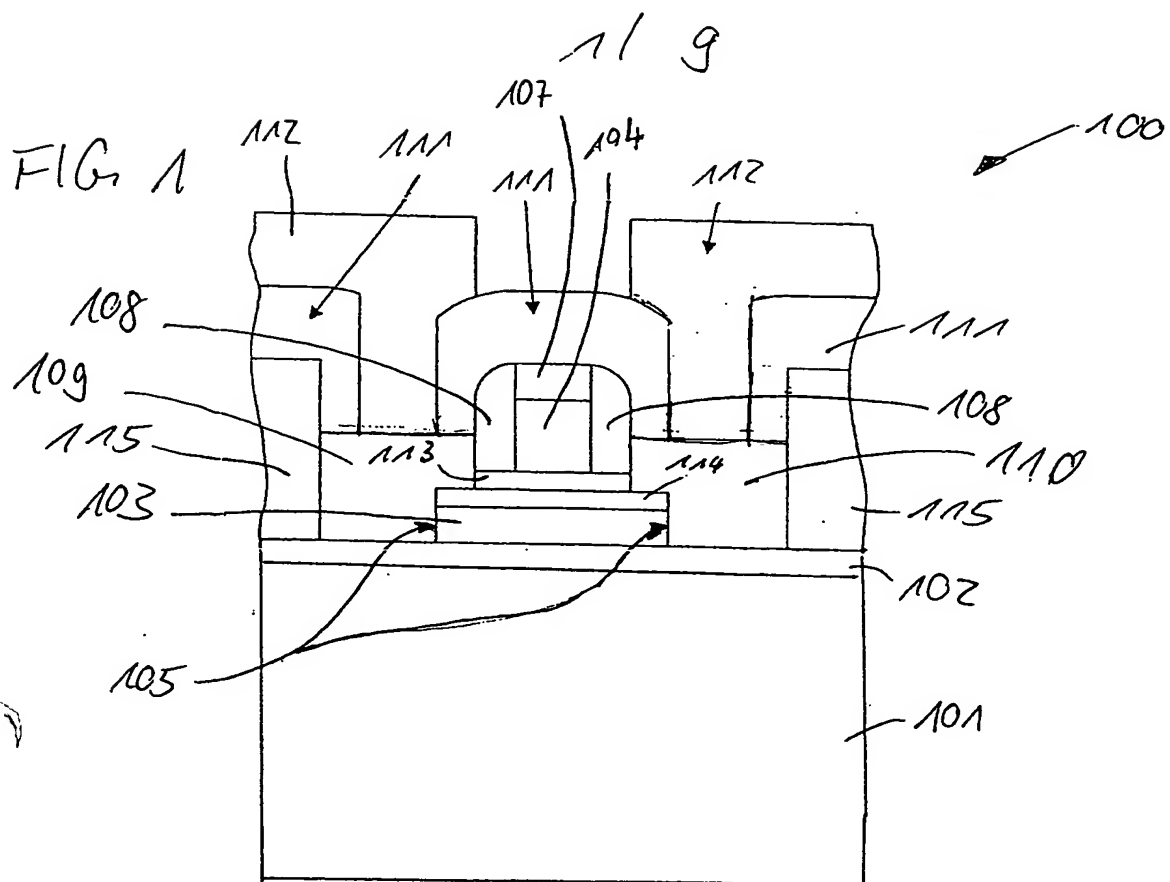


FIG 4

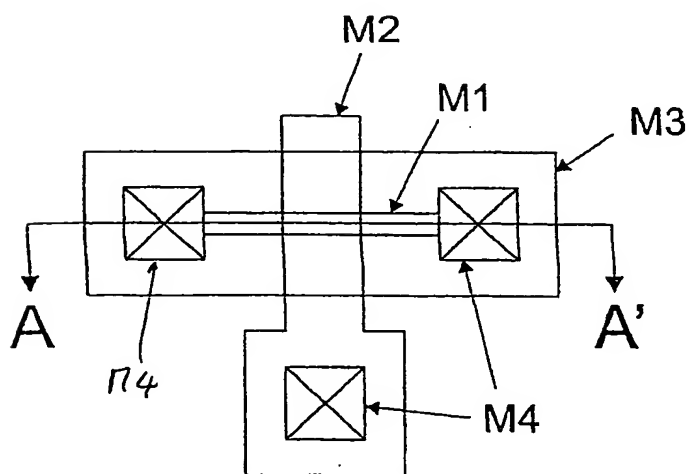




FIG 2

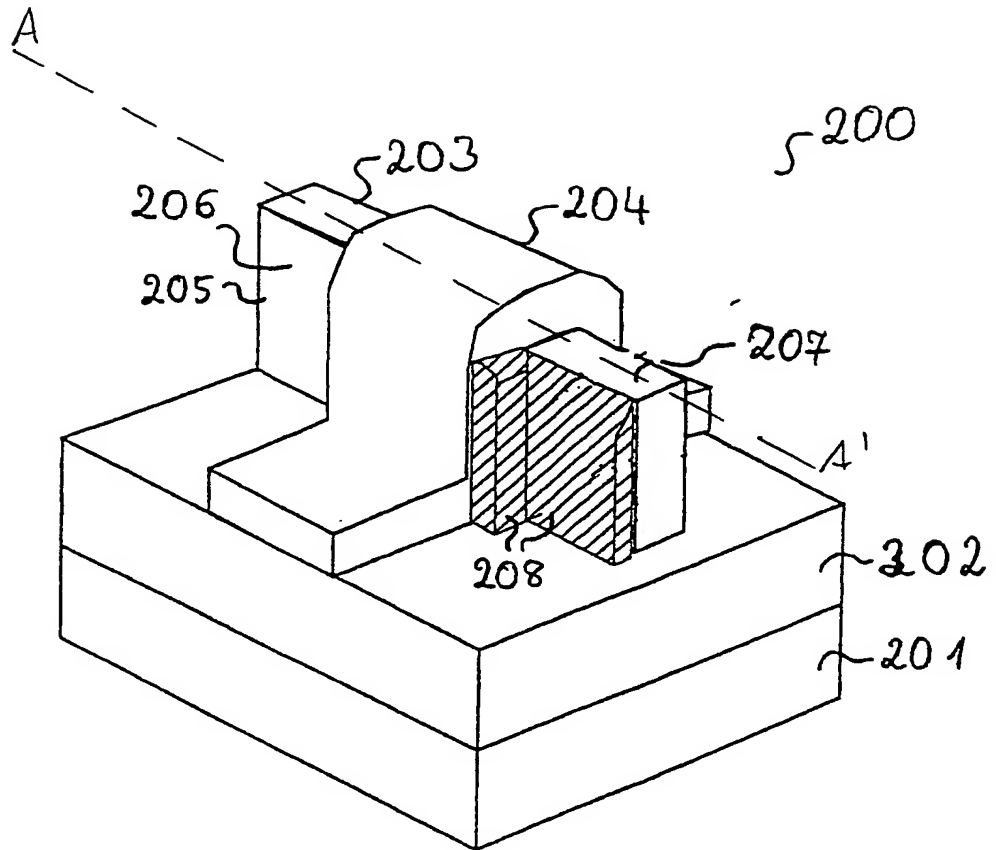


FIG 3(a)

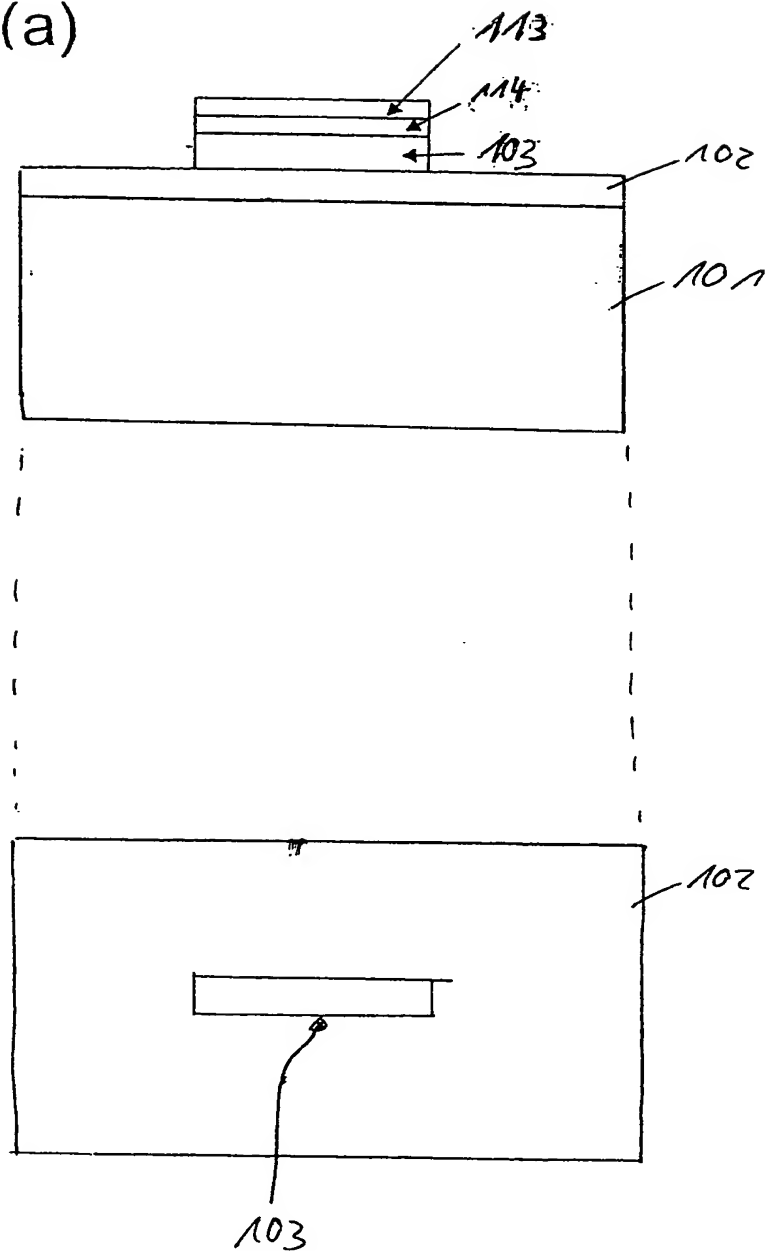


FIG 3 (b)

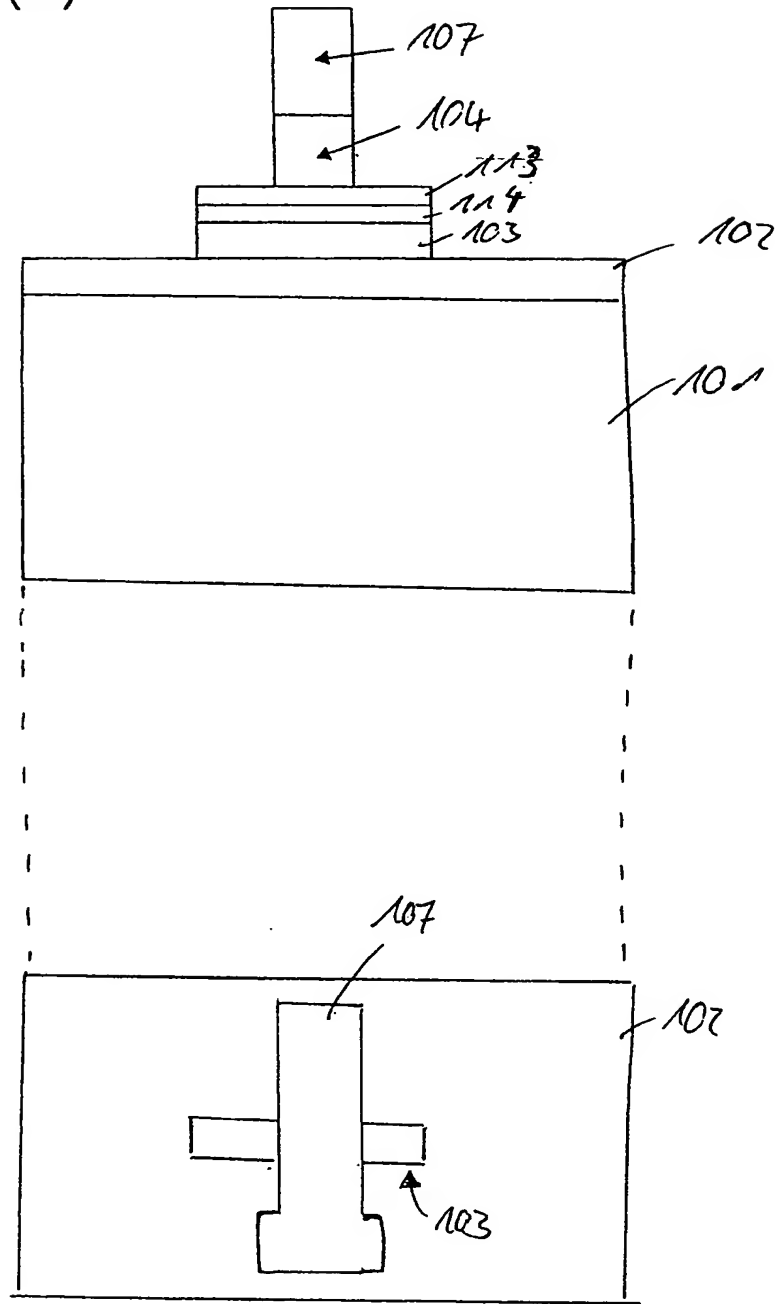


FIG 3(c)

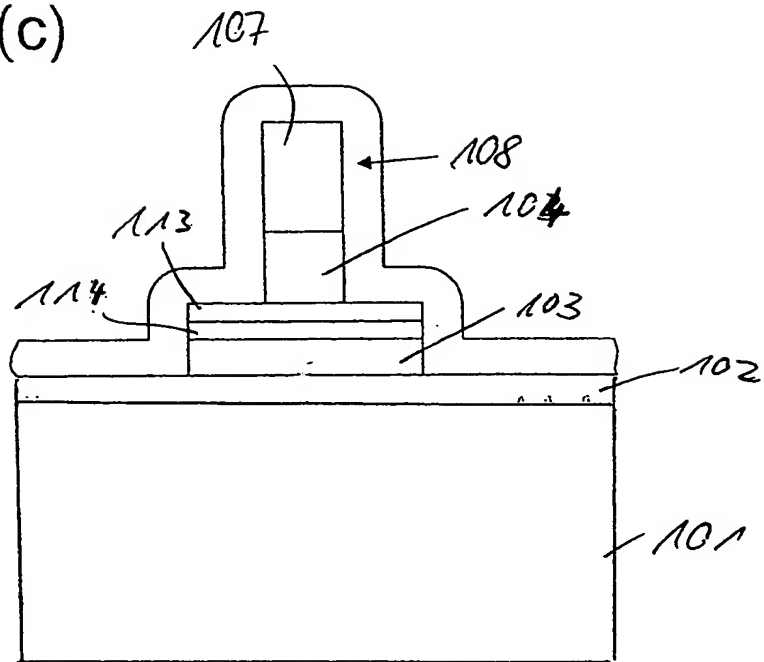


FIG 3(d)

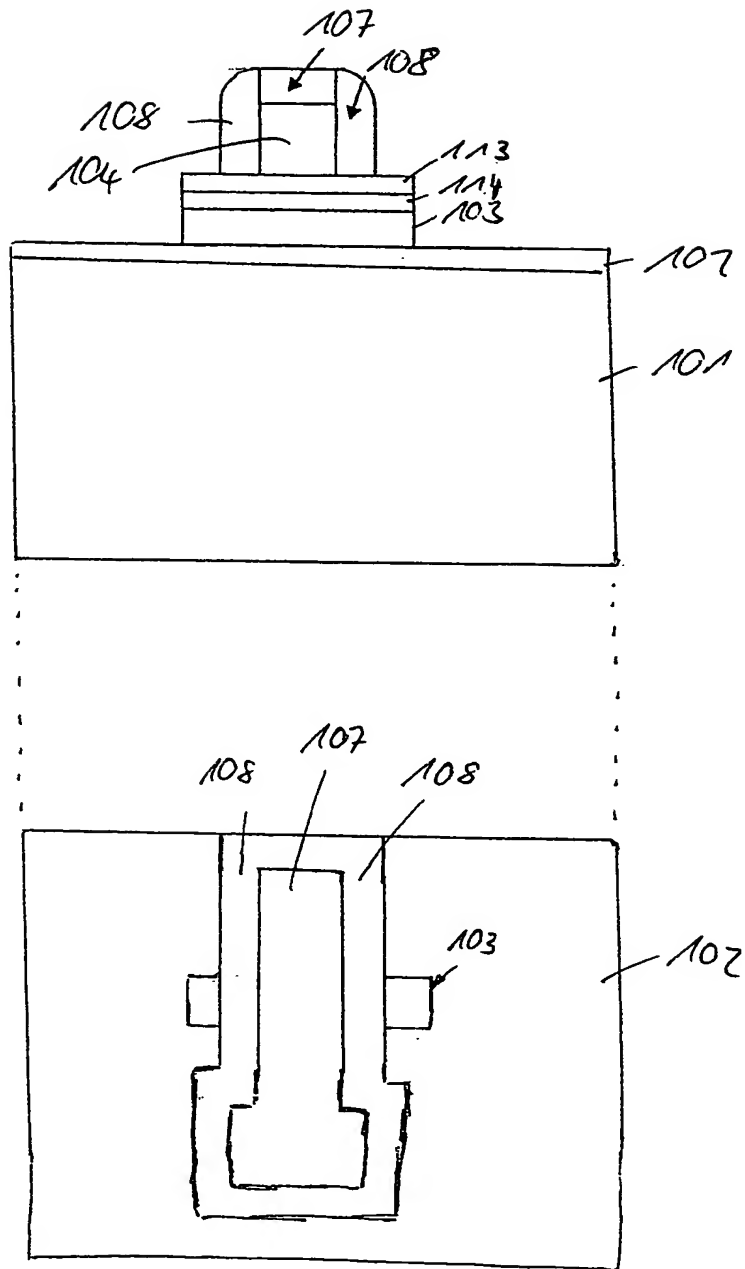


FIG 3(e)

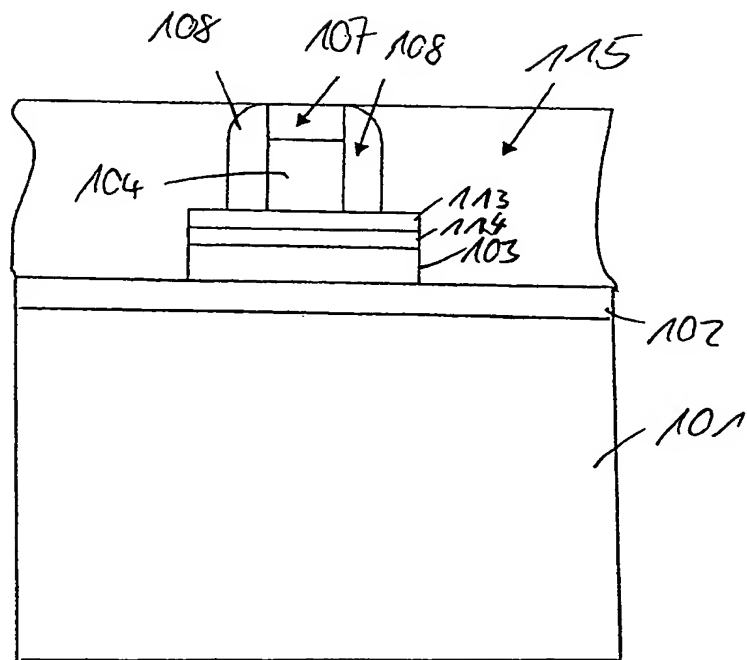


FIG 3(f)

